



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0071062
(43) 공개일자 2018년06월27일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01) H01L 27/15 (2006.01)
(52) CPC특허분류
G09G 3/32 (2013.01)
H01L 27/156 (2013.01)
(21) 출원번호 10-2016-0173807
(22) 출원일자 2016년12월19일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김진영
경기도 고양시 덕양구 세솔로 73 (삼송동, 삼송2차 아이파크) 2004동 1102호
손현호
경기도 고양시 일산서구 강선로 187, 1001동 1102호 (일산동, 후곡마을10단지아파트)
강한샘
경기도 파주시 책향기로 441 (동패동, 책향기마을 동문굿모닝힐) 1009동 1401호
(74) 대리인
특허법인천문

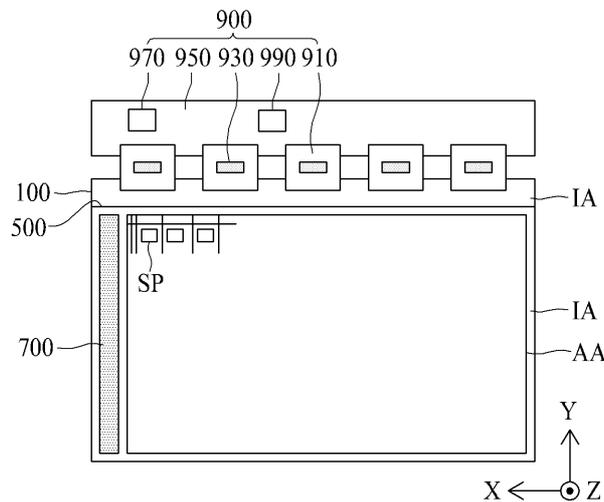
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 발광 다이오드 디스플레이 장치

(57) 요약

본 출원은 발광 다이오드 소자의 불량으로 인한 화면 불량이 최소화되는 발광 다이오드 디스플레이 장치를 제공하는 것으로, 발광 다이오드 디스플레이 장치는 데이터 전류에 의해 발광하는 제 1 내지 제 N (N은 2 이상의 자연수)개의 발광 다이오드 소자 및 데이터 신호에 대응하는 데이터 전류를 제 1 내지 제 N 발광 다이오드 소자 각각에 공급하는 제 1 내지 제 N 구동 트랜지스터를 갖는 픽셀 회로를 구비하는 복수의 서브 픽셀을 포함할 수 있다.

대표도 - 도1



명세서

청구범위

청구항 1

데이터 신호에 따른 데이터 전류에 의해 영상을 표시하는 복수의 서브 픽셀을 구비하며,
 상기 복수의 서브 픽셀 각각은,
 상기 데이터 전류에 의해 발광하는 제 1 내지 제 N (N은 2 이상의 자연수)개의 발광 다이오드 소자; 및
 상기 데이터 신호에 대응하는 데이터 전류를 상기 제 1 내지 제 N 발광 다이오드 소자 각각에 공급하는 제 1 내지 제 N 구동 트랜지스터를 갖는 픽셀 회로를 포함하는, 발광 다이오드 디스플레이 장치.

청구항 2

제 1 항에 있어서,
 상기 제 1 내지 제 N 발광 다이오드 소자 각각은 마이크로 발광 다이오드 소자인, 발광 다이오드 디스플레이 장치.

청구항 3

제 1 항에 있어서,
 제 1 내지 제 N 발광 다이오드 소자 각각은,
 제 1 반도체층;
 상기 제 1 반도체층의 일측 상에 마련된 활성층;
 상기 활성층 상에 마련된 제 2 반도체층; 및
 상기 제 2 반도체층 상에 마련된 제 1 전극; 및
 상기 제 1 반도체층의 타측 상에 마련된 제 2 전극을 포함하는, 발광 다이오드 디스플레이 장치.

청구항 4

제 3 항에 있어서,
 상기 복수의 서브 픽셀 각각은,
 제 1 내지 제 N 발광 다이오드 소자의 제 1 전극과 상기 제 1 내지 제 N 구동 트랜지스터를 일대일로 연결하는 제 1 내지 제 N 픽셀 전극; 및
 상기 제 1 내지 제 N 발광 다이오드 소자의 제 2 전극에 연결된 공통 전극을 포함하는, 발광 다이오드 디스플레이 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,
 상기 복수의 서브 픽셀 각각은 상기 제 1 내지 제 N 발광 다이오드 소자 각각을 수납하는 제 1 내지 제 N 오목부를 더 포함하는, 발광 다이오드 디스플레이 장치.

청구항 6

제 5 항에 있어서,
 상기 복수의 서브 픽셀을 덮는 평탄화층을 더 포함하며,
 상기 제 1 내지 제 N 오목부 각각은 상기 평탄화층으로부터 오목하게 마련된 수납 공간을 갖는, 발광 다이오드

디스플레이 장치.

청구항 7

제 6 항에 있어서,

상기 제 1 내지 제 N 오목부 각각의 수납 공간은 하나의 수납 공간을 이루도록 서로 연통된, 발광 다이오드 디스플레이 장치.

청구항 8

제 6 항에 있어서,

상기 복수의 서브 픽셀 중 인접한 적어도 3개의 서브 픽셀은 하나의 단위 픽셀을 구성하고,

상기 제 1 내지 제 N 오목부 각각은 상기 단위 픽셀을 구성하는 적어도 3개의 서브 픽셀 각각마다 다른 깊이를 갖는, 발광 다이오드 디스플레이 장치.

청구항 9

제 1 항에 있어서,

상기 픽셀 회로는,

게이트 신호에 응답하여 데이터 라인으로부터 공급되는 상기 데이터 신호를 공유 노드에 공급하는 스위칭 트랜지스터;

상기 공유 노드에 공급되는 데이터 신호에 대응되는 데이터 전류를 상기 제 1 발광 다이오드 소자에 공급하는 상기 제 1 구동 트랜지스터를 갖는 제 1 전류 출력부; 및

상기 공유 노드에 공급되는 데이터 신호에 대응되는 데이터 전류를 상기 제 2 발광 다이오드 소자에 공급하는 상기 제 2 구동 트랜지스터를 갖는 제 2 전류 출력부를 포함하는, 발광 다이오드 디스플레이 장치.

청구항 10

제 9 항에 있어서,

상기 제 1 전류 출력부는 상기 제 1 구동 트랜지스터의 게이트 전극과 소스 전극 사이에 연결된 제 1 커패시터를 더 포함하며,

상기 제 2 전류 출력부는 상기 제 2 구동 트랜지스터의 게이트 전극과 소스 전극 사이에 연결된 제 2 커패시터를 더 포함하는, 발광 다이오드 디스플레이 장치.

청구항 11

제 1 항에 있어서,

상기 픽셀 회로는,

데이터 라인으로부터 공급되는 상기 데이터 신호를 제 1 노드에 공급하는 스위칭 트랜지스터;

상기 제 1 노드에 연결된 제 1 단자와 제 2 노드에 연결된 제 2 단자를 갖는 스토리지 커패시터;

상기 제 2 노드에 공급되는 데이터 신호에 대응되는 데이터 전류를 상기 제 1 발광 다이오드 소자에 공급하는 상기 제 1 구동 트랜지스터를 갖는 제 1 전류 출력부;

상기 제 2 노드에 공급되는 데이터 신호에 대응되는 데이터 전류를 상기 제 2 발광 다이오드 소자에 공급하는 상기 제 2 구동 트랜지스터를 갖는 제 2 전류 출력부; 및

상기 제 1 노드와 상기 제 2 노드 상의 전압을 초기화시키는 전압 초기화부를 포함하는, 발광 다이오드 디스플레이 장치.

청구항 12

제 11 항에 있어서,

상기 제 1 전류 출력부는 상기 제 1 구동 트랜지스터와 상기 제 1 발광 다이오드 사이에 연결된 제 1 발광 제어 트랜지스터를 더 포함하며,

상기 제 2 전류 출력부는 상기 제 2 구동 트랜지스터와 상기 제 2 발광 다이오드 사이에 연결된 제 2 발광 제어 트랜지스터를 더 포함하는, 발광 다이오드 디스플레이 장치.

청구항 13

제 12 항에 있어서,

상기 전압 초기화부는,

상기 제 1 구동 트랜지스터의 게이트 전극과 소스 전극 사이에 연결된 제 1 트랜지스터;

레퍼런스 전압이 공급되는 레퍼런스 전원 라인과 상기 제 1 노드 사이에 연결된 제 2 트랜지스터; 및

상기 제 1 발광 제어 트랜지스터와 상기 제 1 발광 다이오드 소자 사이의 제 3 노드와 상기 레퍼런스 전원 라인 사이에 연결된 제 3 트랜지스터를 포함하는, 발광 다이오드 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 출원은 발광 다이오드 디스플레이 장치에 관한 것이다.

배경 기술

[0002] 디스플레이 장치는 텔레비전 또는 모니터의 표시 화면 이외에도 노트북 컴퓨터, 테블릿 컴퓨터, 스마트 폰, 휴대용 표시 기기, 휴대용 정보 기기 등의 표시 화면으로 널리 사용되고 있다.

[0003] 액정 디스플레이와 유기 발광 디스플레이 장치는 스위칭 다이오드 소자로서 트랜지스터(Thin Film Transistor)를 이용하여 영상을 표시한다. 액정 디스플레이 장치는 자체 발광 방식이 아니기 때문에 액정 디스플레이 패널의 하부에 배치된 백라이트 유닛으로부터 조사되는 광을 이용하여 영상을 표시하게 된다. 이러한 액정 디스플레이 장치는 백라이트 유닛을 가지므로 디자인에 제약이 있으며, 휘도 및 응답 속도가 저하될 수 있다. 유기 발광 디스플레이 장치는 유기물을 포함하기 때문에 수분에 취약하여 신뢰성 및 수명이 저하될 수 있다.

[0004] 최근에는, 마이크로 발광 소자를 이용한 발광 다이오드 디스플레이 장치에 대한 연구 및 개발이 진행되고 있으며, 이러한 발광 다이오드 디스플레이 장치는 고화질과 고신뢰성을 갖기 때문에 차세대 디스플레이로서 각광받고 있다.

[0005] 그러나, 종래의 발광 다이오드 디스플레이 장치는 마이크로 발광 다이오드 소자를 박막 트랜지스터 어레이 기판에 전사하는 공정에서 발생하는 마이크로 발광 다이오드 소자의 불량으로 인한 화면 불량이 발생하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0006] 본 출원은 배경이 되는 기술의 문제점을 해결하기 위한 것으로, 발광 다이오드 소자의 불량으로 인한 화면 불량이 최소화되는 발광 다이오드 디스플레이 장치를 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

[0007] 진술한 기술적 과제를 달성하기 위한 본 출원에 따른 발광 다이오드 디스플레이 장치는 데이터 전류에 의해 발광하는 제 1 내지 제 N(N은 2 이상의 자연수)개의 발광 다이오드 소자 및 데이터 신호에 대응하는 데이터 전류를 제 1 내지 제 N 발광 다이오드 소자 각각에 공급하는 제 1 내지 제 N 구동 트랜지스터를 갖는 픽셀 회로를 구비하는 복수의 서브 픽셀을 포함한다.

발명의 효과

- [0008] 상기 과제에 해결 수단에 의하면, 본 출원에 따른 발광 다이오드 디스플레이 장치는 마이크로 발광 소자의 불량으로 인한 화면 불량이 방지될 수 있다.
- [0009] 위에서 언급된 본 출원의 효과 외에도, 본 출원의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 출원이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0010] 도 1은 본 출원의 일 예에 따른 발광 다이오드 디스플레이 장치를 설명하기 위한 도면이다.
- 도 2는 도 1에 도시된 단위 픽셀을 설명하기 위한 도면이다.
- 도 3은 도 2에 도시된 하나의 서브 픽셀을 나타내는 도면이다.
- 도 4는 도 3에 도시된 서브 픽셀 구조를 설명하기 위한 단면도이다.
- 도 5는 도 4에 도시된 발광 다이오드 소자의 구조를 설명하기 위한 단면도이다.
- 도 6은 도 2에 도시된 오목부의 변형 예를 설명하기 위한 도면이다.
- 도 7은 도 2에 도시된 일 예에 따른 서브 픽셀을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 본 출원의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 일 예들을 참조하면 명확해질 것이다. 그러나 본 출원은 이하에서 개시되는 일 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 출원의 일 예들은 본 출원의 개시가 완전하도록 하며, 본 출원이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 출원은 청구항의 범주에 의해 정의될 뿐이다.
- [0012] 본 출원의 일 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 출원이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 출원을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 출원의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0013] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0014] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0015] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0016] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0017] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 출원의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0018] "제1 수평 축 방향", "제2 수평 축 방향" 및 "수직 축 방향"은 서로 간의 관계가 수직으로 이루어진 기하학적인 관계만으로 해석되어서는 아니 되며, 본 출원의 구성이 기능적으로 작용할 수 있는 범위 내에서보다 넓은 방향성을 가지는 것을 의미할 수 있다.
- [0019] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는

모든 항목의 조합을 의미할 수 있다.

- [0020] 본 출원의 여러 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0021] 이하에서는 본 출원에 따른 발광 다이오드 디스플레이 장치의 바람직한 예를 첨부된 도면을 참조하여 상세히 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다
- [0022] 도 1은 본 출원의 일 예에 따른 발광 다이오드 디스플레이 장치를 설명하기 위한 도면이고, 도 2는 도 1에 도시된 단위 픽셀을 설명하기 위한 도면이며, 도 3은 도 2에 도시된 하나의 서브 픽셀을 나타내는 도면이다.
- [0023] 도 1 내지 도 3을 참조하면, 본 예에 따른 발광 다이오드 디스플레이 장치는 복수의 서브 픽셀(SP1, SP2, SP3)을 갖는 제 1 기관(100), 및 복수의 서브 픽셀(SP1, SP2, SP3)을 덮도록 제 1 기관(100)과 대향 합착된 제 2 기관(500)을 포함한다.
- [0024] 상기 제 1 기관(100)은 트랜지스터 어레이 기관으로서, 유리 또는 플라스틱 재질로 이루어질 수 있다. 일 예에 따른 제 1 기관(100)은 표시 영역(AA) 및 비표시 영역(IA)을 포함한다.
- [0025] 상기 표시 영역(AA)은 제 1 기관(100)의 가장자리 부분을 제외한 나머지 부분에 마련된다. 이러한 표시 영역(AA)은 영상을 표시하는 복수의 서브 픽셀(SP1, SP2, SP3)을 포함하는 서브 픽셀 어레이가 마련되는 영역으로 정의될 수 있다.
- [0026] 상기 비표시 영역(IA)은 제 1 기관(100)에 마련된 표시 영역(AA)을 제외한 나머지 부분에 마련되는 것으로, 표시 영역(AA)을 둘러싸는 제 1 기관(100)의 가장자리 부분으로 정의될 수 있다. 이러한 비표시 영역(IA)은 표시 영역(AA)의 외곽 주변으로서 표시 영역(AA)과 달리 영상이 표시되지 않으며, 서브 픽셀(SP) 어레이의 구동을 위한 배선과 회로 등이 배치되는 영역으로 정의될 수 있다. 예를 들어, 비표시 영역(IA)은 표시 영역(AA)의 상측 주변에 정의된 제 1 비표시 영역, 표시 영역(AA)의 하측 주변에 정의된 제 2 비표시 영역, 표시 영역(AA)의 좌측 주변에 정의된 제 3 비표시 영역, 및 표시 영역(AA)의 우측 주변에 정의된 제 4 비표시 영역을 가질 수 있다.
- [0027] 일 예에 따른 제 1 기관(100)은 복수의 게이트 라인(GL), 복수의 데이터 라인(DL), 복수의 구동 전원 라인(PL), 복수의 공통 전원 라인(CL), 및 복수의 서브 픽셀(SP1, SP2, SP3)을 포함한다.
- [0028] 상기 복수의 게이트 라인(GL) 각각은 제 1 기관(100) 상에 마련되는 것으로, 기관(100)의 제 1 수평 축 방향(X)을 따라 길게 연장되고, 제 2 수평 축 방향(Y)을 따라 일정한 간격으로 이격된다. 여기서, 제 1 수평 축 방향(X)은 기관(100)의 장변 길이 방향과 나란한 방향으로 정의될 수 있으며, 제 2 수평 축 방향(Y)은 제 1 기관(100)의 단변 길이 방향과 나란한 방향으로 정의될 수 있지만, 그 반대 방향으로 정의될 수도 있다.
- [0029] 상기 복수의 데이터 라인(DL)은 복수의 게이트 라인(GL)과 교차하도록 제 1 기관(100) 상에 마련되는 것으로, 제 1 기관(100)의 제 2 수평 축 방향(Y)을 따라 길게 연장되고, 제 1 수평 축 방향(X)을 따라 일정한 간격으로 이격된다.
- [0030] 상기 복수의 구동 전원 라인(PL)은 데이터 라인(DL)과 나란하도록 제 1 기관(100) 상에 마련되는 것으로, 복수의 데이터 라인(DL) 각각과 함께 형성될 수 있다. 이러한 복수의 구동 전원 라인(PL) 각각은 외부로부터 제공되는 픽셀 구동 전원을 서브 픽셀(SP1, SP2, SP3)에 공급한다.
- [0031] 상기 복수의 공통 전원 라인(CL)은 데이터 라인(DL)과 나란하도록 제 1 기관(100) 상에 마련되는 것으로, 복수의 데이터 라인(DL) 각각과 함께 형성될 수 있다. 이러한 복수의 공통 전원 라인(CL) 각각은 외부로부터 제공되는 공통 전원을 서브 픽셀(SP1, SP2, SP3)에 공급한다.
- [0032] 선택적으로, 복수의 공통 전원 라인(CL) 각각은 외부로부터 제공되는 공통 전원을 개별적으로 수신하고, 공통 전원을 각 서브 픽셀(SP1, SP2, SP3)에 개별적으로 공급할 수 있다. 이 경우, 각 서브 픽셀(SP1, SP2, SP3)에 공급되는 공통 전원의 전압 레벨은 후술되는 발광 다이오드 소자의 전기적인 특성 변화 및/또는 구동 트랜지스터의 전기적인 특성 변화에 따라 제어될 수 있다.
- [0033] 상기 복수의 서브 픽셀(SP1, SP2, SP3) 각각은 게이트 라인(GL)과 데이터 라인(DL)에 의해 정의되는 픽셀 영역에 마련된다. 복수의 서브 픽셀(SP1, SP2, SP3) 각각은 실제 빛이 발광되는 최소 단위로 정의될 수 있다. 인

접한 적어도 3개의 서브 픽셀(SP1, SP2, SP3)은 컬러 표시를 위한 하나의 단위 픽셀(UP)을 구성할 수 있다. 예를 들어, 하나의 단위 픽셀(UP)은 인접한 적색 서브 픽셀(SP1), 녹색 서브 픽셀(SP2) 및 청색 서브 픽셀(SP3)를 포함하며, 휘도 향상을 위해 백색 서브 픽셀을 더 포함할 수도 있다.

- [0034] 일 예에 따른 단위 픽셀(UP)을 구성하는 적어도 3개의 서브 픽셀(SP1, SP2, SP3)은 하나의 구동 전원 라인(PL)을 서로 공유할 수 있으며, 이 경우, 구동 전원 라인(PL)은 단위 픽셀(UP)마다 하나씩 마련되고, 이로 인하여 제 1 기관(100) 상에 마련되는 구동 전원 라인(PL)의 개수가 감소될 수 있다. 이와 마찬가지로, 일 예에 따른 단위 픽셀(UP)을 구성하는 적어도 3개의 서브 픽셀(SP1, SP2, SP3)은 하나의 공통 전원 라인(CL)을 서로 공유할 수 있으며, 이 경우, 공통 전원 라인(CL)은 단위 픽셀(UP)마다 하나씩 마련되고, 이로 인하여 제 1 기관(100) 상에 마련된 공통 전원 라인(CL)의 개수가 감소될 수 있다.
- [0035] 상기 복수의 서브 픽셀(SP1, SP2, SP3) 각각은 데이터 전류에 의해 발광하는 제 1 및 제 2 발광 다이오드 소자(300a, 300b), 및 데이터 신호에 대응하는 데이터 전류를 제 1 및 제 2 발광 다이오드 소자(300a, 300b) 각각에 개별적으로 공급하는 제 1 및 제 2 구동 트랜지스터(Tdr1, Tdr2)를 갖는 픽셀 회로(PC)를 포함한다.
- [0036] 상기 제 1 발광 다이오드 소자(300a)는 픽셀 영역의 일측에 배치되어 픽셀 회로(PC)와 연결됨으로써 픽셀 회로(PC), 즉 제 1 구동 트랜지스터(Tdr1)로부터 공급되는 데이터 전류에 비례하는 밝기로 발광한다. 일 예에 따른 제 1 발광 다이오드 소자(300a)는 적색 광, 녹색 광, 청색 광, 및 백색 광 중 어느 하나의 광을 방출하는 발광 다이오드 칩일 수 있으며, 예를 들어, 마이크로 발광 다이오드 칩일 수 있다. 여기서, 마이크로 발광 다이오드 칩은 1 내지 100 마이크로 미터의 스케일을 가질 수 있으나, 이에 한정되지 않는다.
- [0037] 상기 제 1 발광 다이오드 소자(300a)는 픽셀 영역의 제 1 발광 영역에 배치되어 픽셀 회로(PC)와 공통 라인(CL)에 연결된다. 즉, 일 예에 따른 제 1 발광 다이오드 소자(300a)는 픽셀 회로(PC)에 전기적으로 연결된 애노드 단자(또는 제 1 전극) 및 공통 라인(CL)에 전기적으로 연결된 캐소드 단자(또는 제 2 전극)를 포함한다. 이러한 제 1 발광 다이오드 소자(300a)는 픽셀 회로(PC), 즉 제 1 구동 트랜지스터(Tdr1)로부터 공급되는 데이터 전류에 비례하는 밝기로 발광한다. 일 예에 따른 제 1 발광 다이오드 소자(300a)는 적색 광, 녹색 광, 청색 광, 및 백색 광 중 어느 하나의 광을 방출하는 발광 다이오드 칩일 수 있으며, 예를 들어, 제 1 전극과 제 2 전극을 갖는 마이크로 발광 다이오드 칩일 수 있다. 여기서, 마이크로 발광 다이오드 칩은 1 내지 100 마이크로 미터의 스케일을 가질 수 있으나, 이에 한정되지 않는다.
- [0038] 상기 제 2 발광 다이오드 소자(300b)는 픽셀 영역의 제 1 발광 영역에 인접한 제 2 발광 영역에 배치되어 픽셀 회로(PC)와 공통 라인(CL)에 연결된다. 즉, 일 예에 따른 제 2 발광 다이오드 소자(300b)는 픽셀 회로(PC)에 전기적으로 연결된 애노드 단자(또는 제 1 전극) 및 공통 라인(CL)에 전기적으로 연결된 캐소드 단자(또는 제 2 전극)를 포함한다. 이러한 제 2 발광 다이오드 소자(300b)는 픽셀 회로(PC), 즉 제 2 구동 트랜지스터(Tdr2)로부터 공급되는 데이터 전류에 비례하는 밝기로 발광한다. 일 예에 따른 제 2 발광 다이오드 소자(300b)는 제 1 발광 다이오드 소자(300a)와 동일한 광을 방출하는 발광 다이오드 칩, 예를 들어, 애노드 단자와 캐소드 단자를 갖는 마이크로 발광 다이오드 칩일 수 있다.
- [0039] 이와 같은, 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 중 어느 하나는 기관(100)에 실장되는 공정에서 발생하는 미스 얼라인 또는 전기적 충격에 의해 동작 불량으로 인한 화면 불량을 방지하기 위한 리던던시 발광 다이오드 소자로 사용될 수 있다.
- [0040] 상기 픽셀 회로(PC)는 인접한 데이터 라인(DL)과 게이트 라인(GL)과 구동 전원 라인(PL) 및 공통 라인(CL)에 전기적으로 연결되도록 픽셀 영역의 회로 영역에 마련되고, 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 각각의 애노드 단자에 공통적으로 공급한다. 이러한 픽셀 회로(PC)는 게이트 라인(GL)에 공급되는 게이트 신호에 응답하여 데이터 라인(DL)으로부터 공급되는 데이터 신호를 기반으로 하는 데이터 전류를 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 각각의 애노드 단자에 공통적으로 공급함으로써 전류를 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 각각을 발광시킨다.
- [0041] 일 예에 따른 픽셀 회로(PC)는 스위칭 트랜지스터(Tsw), 제 1 전류 출력부(COP1), 및 제 2 전류 출력부(COP2)를 포함한다.
- [0042] 상기 스위칭 트랜지스터(Tsw)는 게이트 라인(GL)에 연결된 게이트 전극, 데이터 라인(DL)에 연결된 드레인 전극, 및 공통 노드(Nc)에 연결된 소스 전극을 포함한다. 여기서, 스위칭 트랜지스터(Tsw)의 소스 전극과 드레인 전극은 전류의 방향에 따라 서로 바뀔 수도 있다. 이러한 스위칭 트랜지스터(Tsw)는 게이트 라인(GL)에 공급되는 게이트 신호에 따라 스위칭되어 데이터 라인(DL)에 공급되는 데이터 신호를 공통 노드(Nc), 즉 제 1 전

류 출력부(COP1)와 제 2 전류 출력부(COP2) 각각에 공통적으로 공급한다.

- [0043] 상기 공통 노드(Nc)는 제 1 전류 출력부(COP1)와 제 2 전류 출력부(COP2) 각각에 공유된다.
- [0044] 상기 제 1 전류 출력부(COP1)는 스위칭 트랜지스터(Tsw)로부터 공통 노드(Nc)에 공급되는 데이터 신호에 대응되는 데이터 전류를 제 1 발광 다이오드 소자(300a)에 공급한다. 일 예에 따른 제 1 전류 출력부(COP1)는 제 1 구동 트랜지스터(Tdr1), 및 제 1 커패시터(C1)를 포함한다.
- [0045] 상기 제 1 구동 트랜지스터(Tdr1)는 공통 노드(Nc)에 연결된 게이트 전극, 구동 전원 라인(PL)에 연결된 드레인 전극, 및 제 1 발광 다이오드 소자(300a)의 애노드 단자에 연결되는 소스 전극을 포함한다. 이러한 제 1 구동 트랜지스터(Tdr1)는 공통 노드(Nc)의 전압에 의해 턴-온됨으로써 구동 전원 라인(PL)으로부터 제 1 발광 다이오드 소자(300a)로 흐르는 전류량을 제어한다. 다시 말하여, 제 1 구동 트랜지스터(Tdr1)는 스위칭 트랜지스터(Tsw)로부터 공통 노드(Nc)에 공급되는 데이터 신호를 기반으로 구동 전원 라인(PL)으로부터 제 1 발광 다이오드 소자(300a)로 흐르는 데이터 전류를 제어함으로써 데이터 신호에 비례하는 밝기로 제 1 발광 다이오드 소자(300a)를 발광시킨다.
- [0046] 상기 제 1 커패시터(C1)는 제 1 구동 트랜지스터(Tdr1)의 게이트-소스 전극 사이에 연결된다. 즉, 제 1 커패시터(C2)는 제 1 구동 트랜지스터(Tdr1)의 게이트 전극으로 이어지는 공유 노드(Nc)와 소스 전극 사이의 중첩 영역에 일정한 정전 용량을 가지도록 마련된다. 이러한 제 1 커패시터(C1)는 제 1 구동 트랜지스터(Tdr1)의 게이트 전극에 공급되는 데이터 신호에 대응되는 전압을 저장하고, 저장된 전압으로 제 1 구동 트랜지스터(Tdr1)를 턴-온시킨다.
- [0047] 상기 제 2 전류 출력부(COP2)는 스위칭 트랜지스터(Tsw)로부터 공통 노드(Nc)에 공급되는 데이터 신호에 대응되는 데이터 전류를 제 2 발광 다이오드 소자(300b)에 공급한다. 일 예에 따른 제 2 전류 출력부(COP2)는 제 2 구동 트랜지스터(Tdr2), 및 제 2 커패시터(C2)를 포함한다.
- [0048] 상기 제 2 구동 트랜지스터(Tdr2)는 공통 노드(Nc)에 연결된 게이트 전극, 구동 전원 라인(PL)에 연결된 드레인 전극, 및 제 2 발광 다이오드 소자(300b)의 애노드 단자에 연결되는 소스 전극을 포함한다. 이러한 제 2 구동 트랜지스터(Tdr2)는 공통 노드(Nc)의 전압에 의해 턴-온됨으로써 구동 전원 라인(PL)으로부터 제 2 발광 다이오드 소자(300b)로 흐르는 전류량을 제어한다. 다시 말하여, 제 2 구동 트랜지스터(Tdr2)는 스위칭 트랜지스터(Tsw)로부터 공통 노드(Nc)에 공급되는 데이터 신호를 기반으로 구동 전원 라인(PL)으로부터 제 2 발광 다이오드 소자(300b)로 흐르는 데이터 전류를 제어함으로써 데이터 신호에 비례하는 밝기로 제 2 발광 다이오드 소자(300b)를 발광시킨다.
- [0049] 상기 제 2 구동 트랜지스터(Tdr2)는 제 1 구동 트랜지스터(Tdr1)와 함께 형성되는 것으로, 제 1 구동 트랜지스터(Tdr1)와 동일한 크기를 갖는다.
- [0050] 상기 제 2 커패시터(C2)는 제 2 구동 트랜지스터(Tdr2)의 게이트-소스 전극 사이에 연결된다. 즉, 제 2 커패시터(C2)는 제 2 구동 트랜지스터(Tdr2)의 게이트 전극으로 이어지는 공유 노드(Nc)와 소스 전극 사이의 중첩 영역에 일정한 정전 용량을 가지도록 마련된다. 이러한 제 2 커패시터(C2)는 제 2 구동 트랜지스터(Tdr2)의 게이트 전극에 공급되는 데이터 신호에 대응되는 전압을 저장하고, 저장된 전압으로 제 2 구동 트랜지스터(Tdr2)를 턴-온시킨다.
- [0051] 일 예에 따른 스위칭 트랜지스터(Tsw) 및 구동 트랜지스터(Tdr1, Tdr2) 각각은 비정질 실리콘(amorphous silicon) 박막 트랜지스터, 다결정 실리콘(polycrystalline silicon) 박막 트랜지스터, 산화물(oxide) 박막 트랜지스터 또는 유기물(organic material) 박막 트랜지스터 등이 될 수 있으며, 이들 트랜지스터(Tsw, Tdr1, Tdr2)는 상부 게이트 구조, 하부 게이트 구조, 및 상부 게이트와 하부 게이트를 갖는 이중 게이트 구조를 가질 수 있다.
- [0052] 이와 같은, 픽셀 회로(PC)에서, 제 1 전류 출력부(COP1)와 제 2 전류 출력부(COP2) 중 어느 하나는 픽셀(SP1, SP2, SP3)에 실장되는 발광 다이오드 소자(300a, 300b)의 동작 불량일 경우를 대비하여 각 픽셀(SP1, SP2, SP3)에 미리 마련되는 리던던시 픽셀 회로일 수 있다.
- [0053] 추가적으로, 본 예에 따른 복수의 서브 픽셀(SP1, SP2, SP3) 각각은 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 각각을 수납하는 제 1 오목부(130a) 및 제 2 오목부(130b)를 더 포함한다.
- [0054] 상기 제 1 오목부(130a)는 각 서브 픽셀(SP1, SP2, SP3)에 정의된 픽셀 영역의 제 1 발광 영역에 마련되어 제 1 발광 다이오드 소자(300a)를 수납한다. 일 예에 따른 제 1 오목부(130a)는 서브 픽셀 회로(PC)를 덮도록 제 1

기관(100) 상에 마련된 평탄화층(또는 보호막)으로부터 오목하게 마련된 제 1 수납 공간을 갖는다. 이러한 제 1 오목부(130a)는 제 1 발광 다이오드 소자(300a)를 수납함으로써 제 1 발광 다이오드 소자(300a)의 전사(transfer) 공정시 제 1 발광 다이오드 소자(300a)의 오정렬을 최소화시켜 얼라인 정밀도를 향상시키고, 나아가 제 1 발광 다이오드 소자(300a)의 두께(또는 높이)에 따른 디스플레이 장치의 두께 증가를 최소화한다.

[0055] 상기 제 2 오목부(130b)는 각 서브 픽셀(SP1, SP2, SP3)에 정의된 픽셀 영역의 제 2 발광 영역에 마련되어 제 2 발광 다이오드 소자(300b)를 수납한다. 일 예에 따른 제 2 오목부(130b)는 평탄화층으로부터 오목하게 마련된 제 2 수납 공간을 가지는 것으로, 제 1 오목부(130a)와 동일한 형태로 마련될 수 있다. 이러한 제 2 오목부(130b)는 제 2 발광 다이오드 소자(300b)를 수납함으로써 제 2 발광 다이오드 소자(300b)의 전사 공정시 제 2 발광 다이오드 소자(300b)의 오정렬을 최소화시켜 얼라인 정밀도를 향상시키고, 나아가 제 2 발광 다이오드 소자(300b)의 두께(또는 높이)에 따른 디스플레이 장치의 두께 증가를 최소화한다.

[0056] 선택적으로, 제 1 오목부(130a) 및 제 2 오목부(130b)는 경계부 없이 서로 연통될 수 있다. 즉, 제 1 오목부(130a) 및 제 2 오목부(130b) 각각의 수납 공간은 하나의 수납 공간을 이루도록 서로 연통될 수 있으며, 이 경우 각 서브 픽셀(SP1, SP2, SP3)은 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 각각이 나란하게 배치되는 하나의 수납 공간을 갖는 하나의 오목부를 포함할 수 있다. 이 경우, 본 예는 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 각각을 오목부의 수납 공간에 배치하는 공정시, 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 각각의 얼라인 공정이 용이해질 수 있다.

[0057] 상기 제 2 기관(500)은 제 1 기관(100)을 덮도록 배치되는 것으로, 컬러필터 어레이 기관, 대향 기관 또는 봉지 기관(encapsulation substrate)으로 정의될 수 있다. 이러한 제 2 기관(500)은 제 1 기관(100)의 표시 영역(AA)을 둘러싸는 실런트에 의해 제 1 기관(100)과 대향 합착될 수 있다.

[0058] 추가적으로, 본 발명의 일 예에 따른 발광 다이오드 디스플레이 장치는 게이트 구동 회로(700), 및 패널 구동부(900)를 더 포함한다.

[0059] 상기 게이트 구동 회로(700)는 패널 구동부(900)로부터 입력되는 게이트 제어 신호에 따라 게이트 신호를 생성하여 게이트 라인(GL)에 공급한다. 일 예에 따른 게이트 구동 회로(700)는 각 서브 픽셀(SP)에 마련되는 박막 트랜지스터와 동일한 공정으로 제 1 기관(100)의 제 3 비표시 영역에 내장된다. 예를 들어, 게이트 구동 회로(700)는 표시 영역(AA)의 좌측 및/또는 우측 비표시 영역에 마련될 수 있지만, 이에 한정되지 않고, 게이트 라인에 게이트 신호를 공급할 수 있는 임의의 비표시 영역에 마련된다.

[0060] 선택적으로, 게이트 구동 회로(700)는 구동 집적 회로 형태로 제작될 수 있다. 이 경우, 일 예에 따른 게이트 구동 회로(700)는 복수의 게이트 라인과 일대일로 연결되도록 제 1 기관(100)의 제 3 및/또는 제 4 비표시 영역에 실장될 수 있다. 다른 예에 따른 게이트 구동 회로(700)는 게이트 연성 회로 필름에 실장될 수 있으며, 이 경우, 게이트 연성 회로 필름은 제 1 기관(100)의 제 3 및/또는 제 4 비표시 영역에 마련된 게이트 패드부에 부착되고, 이로 인하여 게이트 구동 회로(700)는 게이트 연성 회로 필름과 게이트 패드부를 통해서 복수의 게이트 라인과 일대일로 연결될 수 있다.

[0061] 상기 패널 구동부(900)는 제 1 기관(100)의 제 1 비표시 영역에 마련된 패드부에 연결되어 디스플레이 구동 시스템으로부터 공급되는 영상 데이터에 대응되는 영상을 표시 영역(AA)에 표시한다. 일 예에 따른 패널 구동부(900)는 복수의 데이터 연성 회로 필름(910), 복수의 데이터 구동 집적 회로(930), 인쇄 회로 기관(950), 타이밍 제어부(970), 및 전원 회로(990)를 포함하여 구성된다.

[0062] 상기 복수의 데이터 연성 회로 필름(910) 각각은 필름 부착 공정에 의해 제 1 기관(100)의 패드부에 부착된다.

[0063] 상기 복수의 데이터 구동 집적 회로(930) 각각은 복수의 데이터 연성 회로 필름(910) 각각에 개별적으로 실장된다. 이러한 데이터 구동 집적 회로(930)는 타이밍 제어부(970)로부터 제공되는 서브 픽셀 데이터와 데이터 제어 신호를 수신하고, 데이터 제어 신호에 따라 서브 픽셀 데이터를 아날로그 형태의 서브 픽셀별 데이터 전압으로 변환하여 해당하는 데이터 라인(DL)에 공급한다.

[0064] 상기 인쇄 회로 기관(950)은 복수의 데이터 연성 회로 필름(910)과 연결된다. 인쇄 회로 기관(950)은 타이밍 제어부(970)와 전원 회로(990)를 지지하고, 패널 구동부(900)의 구성들 간의 신호 및 전원을 전달하는 역할을 한다.

[0065] 상기 타이밍 제어부(970)는 인쇄 회로 기관(950)에 실장되고, 인쇄 회로 기관(950)에 마련된 유저 커넥터를 통해 디스플레이 구동 시스템으로부터 제공되는 영상 데이터와 타이밍 동기 신호를 수신한다. 타이밍 제어부

(970)는 타이밍 동기 신호에 기초해 영상 데이터를 표시 영역(AA)의 서브 픽셀 배치 구조에 알맞도록 정렬하여 서브 픽셀 데이터를 생성하고, 생성된 서브 픽셀 데이터를 데이터 구동 집적 회로(930)에 제공한다. 또한, 타이밍 제어부(970)는 타이밍 동기 신호에 기초해 데이터 제어 신호와 게이트 제어 신호 각각을 생성하여 복수의 데이터 구동 집적 회로(930) 및 게이트 구동 회로(700) 각각의 구동 타이밍을 제어한다.

- [0066] 상기 전원 회로(990)는 인쇄 회로 기판(950)에 실장되고, 외부로부터 입력되는 입력 전원을 이용하여 표시 영역(AA)에 영상을 표시하는데 필요한 각종 전압을 생성하여 해당 구성에 공급한다.
- [0067] 상기 패널 구동부(900)는 인쇄 회로 기판(950)에 연결된 제어 보드를 더 포함할 수 있다. 이 경우, 상기 타이밍 제어부(970)와 전원 회로(990)는 인쇄 회로 기판(950)에 실장되지 않고 제어 보드에 실장된다. 이에 따라, 상기 인쇄 회로 기판(950)은 복수의 데이터 연성 회로 필름(910)과 제어 보드 사이의 신호 및 전원을 전달하는 역할만 한다.
- [0068] 이와 같은, 본 예에 따른 발광 다이오드 디스플레이 장치는 각 서브 픽셀(SP1, SP2, SP3)에 마련된 리턴던시 발광 다이오드 소자와 리턴던시 픽셀 회로를 포함함으로써 각 서브 픽셀(SP1, SP2, SP3)에 전사되는 발광 다이오드 소자의 불량으로 인한 화면 불량이 최소화 내지 방지될 수 있다. 또한, 본 예에 따른 발광 다이오드 디스플레이 장치는 각 서브 픽셀(SP1, SP2, SP3)에 마련된 적어도 하나의 오목부에 제 1 및 제 2 발광 다이오드 소자(300a, 300b)가 수납됨으로써 발광 다이오드 소자의 전사 공정시 발광 다이오드 소자의 오정렬이 최소화되고 얇은 두께를 가질 수 있다.
- [0069] 도 4는 도 3에 도시된 서브 픽셀 구조를 설명하기 위한 단면도이며, 도 5는 도 4에 도시된 발광 다이오드 소자의 구조를 설명하기 위한 단면도이다.
- [0070] 도 4 및 도 5를 도 3과 결부하면, 본 예에 따른 발광 다이오드 디스플레이 장치의 서브 픽셀(SP)은 픽셀 회로(PC), 제 1 평탄화층(110), 제 1 및 제 2 오목부(130a, 130b), 제 1 및 제 2 발광 다이오드 소자(300a, 300b), 제 2 평탄화층(160), 제 1 픽셀 전극(AE1), 제 2 픽셀 전극(AE2), 및 공통 전극(CE)을 포함한다.
- [0071] 상기 픽셀 회로(PC)는 스위칭 트랜지스터(Tsw), 제 1 구동 트랜지스터(Tdr1), 및 제 1 커패시터(C1)를 갖는 제 1 전류 출력부(COP1), 및 제 2 구동 트랜지스터(Tdr2), 및 제 2 커패시터(C2)를 갖는 제 2 전류 출력부(COP2)를 포함한다. 이러한 픽셀 회로(PC)는 단순한 바와 동일하므로, 이에 대한 구체적인 설명은 생략하기로 하고, 이하 제 1 구동 트랜지스터(Tdr1)와 제 2 구동 트랜지스터(Tdr2) 각각의 구조에 대해서만 설명하기로 한다.
- [0072] 상기 제 1 구동 트랜지스터(Tdr1)는 서브 픽셀(SP)에 정의된 제 1 회로 영역(A1) 상에 마련되는 것으로, 게이트 전극(GE), 반도체층(SCL), 오믹 콘택층(OCL), 소스 전극(SE), 및 드레인 전극(DE)을 포함한다.
- [0073] 상기 게이트 전극(GE)은 제 1 기판(100) 상에 게이트 라인(GL)과 함께 형성된다. 이러한 게이트 전극(GE)은 게이트 절연층(103)에 의해 덮인다.
- [0074] 상기 게이트 절연층(103)은 무기 물질로 이루어진 단일층 또는 복수의 층으로 구성될 수 있으며, 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 등으로 이루어질 수 있다.
- [0075] 상기 반도체층(SCL)은 게이트 전극(GE)과 중첩(overlap)되도록 게이트 절연층(103) 상에 미리 설정된 패턴(또는 섬) 형태로 마련된다. 이러한 반도체층(SCL)은 비정질 실리콘(amorphous silicon), 다결정 실리콘(polycrystalline silicon), 산화물(oxide) 및 유기물(organic material) 중 어느 하나로 이루어진 반도체 물질로 구성될 수 있지만, 이에 제한되지 않는다.
- [0076] 상기 오믹 콘택층(OCL)은 반도체층(SCL) 상에 미리 설정된 패턴(또는 섬) 형태로 마련된다. 여기서, 오믹 콘택층(OCL)은 반도체층(SCL)과 소스/드레인 전극(SE, DE) 간의 오믹 콘택을 위한 것으로, 생략 가능하다.
- [0077] 상기 소스 전극(SE)은 반도체층(SCL)의 일측과 중첩되도록 오믹 콘택층(OCL)의 일측 상에 형성된다. 소스 전극(SE)은 데이터 라인(DL) 및 구동 전원 라인(PL)과 함께 형성된다.
- [0078] 상기 드레인 전극(DE)은 반도체층(SCL)의 타측과 중첩되면서 소스 전극(SE)과 이격되도록 오믹 콘택층(OCL)의 타측 상에 형성된다. 상기 드레인 전극(DE)은 소스 전극(SE)과 함께 형성되는 것으로, 인접한 구동 전원 라인(PL)으로부터 분기되거나 돌출된다.
- [0079] 상기 제 2 구동 트랜지스터(Tdr2)는 서브 픽셀(SP)에 정의된 제 2 회로 영역(A2) 상에 마련되는 것으로, 게이트 전극(GE), 반도체층(SCL), 오믹 콘택층(OCL), 소스 전극(SE), 및 드레인 전극(DE)을 포함한다. 이러한 제 2 구동 트랜지스터(Tdr2)는 제 1 구동 트랜지스터(Tdr1)와 동일한 공정에 의해 동일한 구조로 형성되므로, 이에 대

한 구체적인 설명은 생략하기로 한다.

- [0080] 부가적으로, 픽셀 회로(PC)를 구성하는 스위칭 트랜지스터(Tsw)는 상기 제 1 및 제 2 구동 트랜지스터(Tdr1, Tdr2)와 동일한 공정에 의해 동일한 구조로 형성된다. 이때, 스위칭 트랜지스터(Tsw)의 게이트 전극은 게이트 라인(GL)으로부터 분기되거나 돌출되고, 스위칭 트랜지스터(Tsw)의 드레인 전극은 데이터 라인(DL)으로부터 분기되거나 돌출되며, 스위칭 트랜지스터(Tsw)의 소스 전극은 게이트 절연층(103)에 마련된 비아홀을 통해서 상기 제 1 및 제 2 구동 트랜지스터(Tdr1, Tdr2) 각각의 게이트 전극(GE)으로 이어지는 공통 노드(Nc)에 연결된다.
- [0081] 상기 픽셀 회로(PC)는 층간 절연층(105)에 의해 덮일 수 있다. 상기 층간 절연층(105)은 픽셀 회로(PC)를 덮도록 제 1 기판(100)의 전면(全面)에 마련된다. 일 예에 따른 층간 절연층(105)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx)과 같은 무기 물질로 이루어지거나 벤조사이클로부텐(benzocyclobutene) 또는 포토 아크릴(photo acryl)과 같은 유기 물질로 이루어질 수 있다. 이러한 층간 절연층(105)은 생략 가능하다.
- [0082] 상기 제 1 평탄화층(또는 보호층)(110)은 서브 픽셀(SP), 즉 픽셀 회로(PC)를 덮도록 기판(100)의 전면(全面)에 마련되거나 층간 절연층(105)을 덮도록 제 1 기판(100)의 전면(全面)에 마련된다. 이러한 제 1 평탄화층(110)은 픽셀 회로(PC)를 보호하면서 층간 절연층(105) 상에 평탄면을 제공한다.
- [0083] 일 예에 따른 제 1 평탄화층(110)은 벤조사이클로부텐(benzocyclobutene) 또는 포토 아크릴(photo acryl)과 같은 유기 물질로 이루어질 수 있으나, 공정의 편의를 위해 포토 아크릴 물질로 이루어지는 것이 바람직하다.
- [0084] 상기 제 1 오목부(130a)는 서브 픽셀(SP)에 정의된 제 1 발광 영역에 마련되어 제 1 발광 다이오드 소자(300a)를 수납한다. 일 예에 따른 제 1 오목부(130a)는 제 1 평탄화층(110)으로부터 일정한 깊이(D1)를 가지도록 오목하게 마련된다. 이때, 제 1 오목부(130a)는 제 1 발광 다이오드 소자(300a)의 두께(또는 전체 높이)에 대응되는 깊이(D1)를 가지도록 제 1 평탄화층(110)의 상면(110a)으로부터 오목하게 마련된 제 1 수납 공간을 포함한다. 여기서, 제 1 오목부(130a)의 바닥면은 제 1 발광 다이오드 소자(300a)의 두께에 기초하여 설정된 깊이(D1)를 가지도록 제 1 평탄화층(110)의 일부, 제 1 평탄화층(110)의 전체, 제 1 평탄화층(110)의 전체와 층간 절연층(105)의 일부, 또는 제 1 평탄화층(110)과 층간 절연층(105) 및 게이트 절연층(103)의 전체가 제거되어 형성될 수도 있다. 예를 들어, 제 1 오목부(130a)는 제 1 평탄화층(110)의 상면으로부터 2~6 마이크로 미터의 깊이를 가지도록 마련될 수 있다. 이러한 제 1 오목부(130a)는 제 1 발광 다이오드 소자(300a)의 후면(또는 하면)보다 넓은 크기를 갖는 홈(groove) 또는 컵(cup) 형태를 가질 수 있다.
- [0085] 상기 제 2 오목부(130b)는 서브 픽셀(SP)에 정의된 제 2 발광 영역에 마련되어 제 2 발광 다이오드 소자(300b)를 수납한다. 일 예에 따른 제 2 오목부(130b)는 제 1 평탄화층(110)으로부터 일정한 깊이(D1)를 가지도록 오목하게 마련된 제 2 수납 공간을 포함하는 것으로, 제 1 오목부(130a)와 동시에 동일한 형태로 형성되므로, 이에 대한 설명은 생략하기로 한다.
- [0086] 추가적으로, 제 1 오목부(130a) 및 제 2 오목부(130b)는 경계부(130c) 없이 서로 연통될 수 있다. 즉, 제 1 오목부(130a) 및 제 2 오목부(130b) 각각의 수납 공간은 하나의 수납 공간을 이루도록 서로 연통될 수 있으며, 이 경우 각 서브 픽셀(SP1, SP2, SP3)은 하나의 오목부를 포함할 수 있다. 이 경우, 제 1 발광 다이오드 소자(300a)는 오목부의 일측 영역에 수납되고, 제 2 발광 다이오드 소자(300b)는 제 1 발광 다이오드 소자(300a)와 나란하도록 오목부의 타측 영역에 수납될 수 있다. 이에 따라, 본 예는 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 각각을 오목부의 수납 공간에 배치하는 공정시, 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 각각의 얼라인 공정이 용이해질 수 있다. 또한, 본 예는 오목부에 배치된 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 각각의 광 지향각을 증가시켜 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 사이의 암부를 최소화함으로써 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 사이의 암부로 인한 핫스팟 현상을 최소화할 수 있다.
- [0087] 상기 제 1 및 제 2 발광 다이오드 소자(300a, 300b) 각각은 발광층(EL), 제 1 전극(또는 애노드 단자)(E1), 및 제 2 전극(또는 캐소드 단자)(E2)을 포함한다.
- [0088] 상기 발광층(EL)은 제 1 전극(E1)과 제 2 전극(E2) 사이에 흐르는 전류에 따른 전자와 정공의 재결합에 따라 발광한다. 일 예에 따른 발광층(EL)은 제 1 반도체층(310), 활성층(330), 및 제 2 반도체층(350)을 포함한다.
- [0089] 상기 제 1 반도체층(310)은 활성층(330)에 전자를 제공한다. 일 예에 따른 제 1 반도체층(310)은 n-GaN계 반도체 물질로 이루어질 수 있으며, n-GaN계 반도체 물질로는 GaN, AlGa_n, InGa_n, 또는 AlInGa_n 등이 될 수 있다. 여기서, 제 1 반도체층(310)의 도핑에 사용되는 불순물로는 Si, Ge, Se, Te, 또는 C 등이 사용될 수 있다.

- [0090] 상기 활성층(330)은 제 1 반도체층(310)의 일측 상에 마련된다. 이러한 활성층(330)은 우물층과 우물층보다 밴드 갭이 높은 장벽층을 갖는 다중 양자 우물(MQW; Multi Quantum Well) 구조를 갖는다. 일 예에 따른 활성층(330)은 InGa_n/Ga_n 등의 다중 양자 우물 구조를 가질 수 있다.
- [0091] 상기 제 2 반도체층(350)은 활성층(330) 상에 마련되어, 활성층(330)에 정공을 제공한다. 일 예에 따른 제 2 반도체층(350)은 p-GaN계 반도체 물질로 이루어질 수 있으며, p-GaN계 반도체 물질로는 GaN, AlGa_n, InGa_n, 또는 AlInGa_n 등이 될 수 있다. 여기서, 제 2 반도체층(350)의 도핑에 사용되는 불순물로는 Mg, Zn, 또는 Be 등이 이용될 수 있다.
- [0092] 상기 제 1 전극(E1)은 제 2 반도체층(350) 상에 마련된다. 이러한 제 1 전극(E1)은 구동 트랜지스터(Tdr1, Tdr2)의 소스 전극(SE)과 연결된다.
- [0093] 상기 제 2 전극(E2)은 활성층(330)과 제 2 반도체층(350)으로부터 전기적으로 분리되도록 제 1 반도체층(310)의 타측 상에 마련된다. 이러한 제 2 전극(E2)은 공통 전원 라인(CL)과 연결된다.
- [0094] 일 예에 따른 제 1 및 제 2 전극(E1, E2) 각각은 Au, W, Pt, Si, Ir, Ag, Cu, Ni, Ti, 또는 Cr 등의 금속 물질 및 그 합금 중 하나 이상을 포함한 물질로 이루어질 수 있다. 다른 예에 따른 제 1 및 제 2 전극(E1, E2) 각각은 투명 도전성 재질로 이루어질 수 있으며, 상기 투명 도전성 재질은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등이 될 수 있지만, 이에 한정되지 않는다.
- [0095] 부가적으로, 제 1 반도체층(310)과 활성층(330) 및 제 2 반도체층(350) 각각은 반도체 기판 상에 순차적으로 적층되는 구조로 마련될 수 있다. 여기서, 반도체 기판은 사파이어 기판(sapphire substrate) 또는 실리콘 기판 등의 반도체 물질을 포함한다. 이러한 반도체 기판은 제 1 반도체층(310)과 활성층(330) 및 제 2 반도체층(350) 각각을 성장시키기 위한 성장용 기판으로 사용된 후, 기판 분리 공정에 의해 제 1 반도체층(310)으로부터 분리될 수 있다. 여기서, 기판 분리 공정은 레이저 리프트 오프(Laser Lift Off) 또는 케미컬 리프트 오프(Cheical Lift Off) 등이 될 수 있다. 이에 따라, 제 1 및 제 2 발광 다이오드 소자(300a, 300b)에서 성장용 반도체 기판이 제거됨에 따라 제 1 및 제 2 발광 다이오드 소자(300a, 300b) 각각은 얇은 두께를 가질 수 있으며, 이로 인하여 서브 픽셀(SP)에 마련된 오목부에 수납될 수 있다.
- [0096] 이와 같은, 제 1 및 제 2 발광 다이오드 소자(300a, 300b) 각각은 제 1 전극(E1)과 제 2 전극(E2) 사이에 흐르는 전류에 따른 전자와 정공의 재결합에 따라 발광한다. 이때, 제 1 및 제 2 발광 다이오드 소자(300a, 300b)에서 방출되는 광은 제 1 및 제 2 전극(E1, E2) 각각을 투과하여 외부로 방출된다. 다시 말하여, 제 1 및 제 2 발광 다이오드 소자(300a, 300b) 각각에서 방출되는 광은 제 1 및 제 2 전극(E1, E2) 각각을 투과하여 오목부(130a, 130b)의 바닥면을 향하는 제 1 방향과 반대되는 제 2 방향으로 방출되어 영상을 표시한다.
- [0097] 상기 제 1 및 제 2 발광 다이오드 소자(300a, 300b) 각각은 픽셀 회로(PC)와 연결되는 제 1 및 제 2 전극(E1, E2)을 갖는 제 1 부분(FP), 및 제 1 부분(FP)과 반대되는 제 2 부분(RP)을 포함한다. 이때, 상기 제 1 부분(FP)은 제 2 부분(RP)보다 오목부의 바닥면으로부터 상대적으로 멀리 이격된다. 즉, 상기 제 1 부분(FP)에 마련된 제 1 및 제 2 전극(E1, E2)은 오목부의 바닥면과 마주보도록 배치되지 않고, 제 2 기판(500)과 마주보도록 배치된다. 여기서, 상기 제 1 부분(FP)은 제 2 부분(RP)보다 작은 크기를 가질 수 있으며, 이 경우, 제 1 및 제 2 발광 다이오드 소자(300a, 300b) 각각은 제 1 부분(FP)과 대응되는 윗면과 제 2 부분(RP)과 대응되는 밑면을 갖는 사다리꼴 형태의 단면을 가질 수 있다.
- [0098] 상기 제 2 평탄화층(160)은 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b)를 덮도록 제 1 평탄화층(110) 상에 마련된다. 즉, 제 2 평탄화층(160)은 제 1 평탄화층(110)의 상면, 제 1 발광 다이오드 소자(300a)가 수납된 제 1 오목부(130a)의 나머지 제 1 수납 공간, 제 2 발광 다이오드 소자(300b)가 수납된 제 2 오목부(130b)의 나머지 제 2 수납 공간, 제 1 발광 다이오드 소자(300a)의 전면(前面)과 제 2 발광 다이오드 소자(300b)의 전면(前面)을 모두 덮을 수 있을 정도의 두께를 가지도록 제 1 평탄화층(110) 상에 마련된다.
- [0099] 이와 같은, 제 2 평탄화층(160)은 제 1 평탄화층(110) 상에 평탄면을 제공한다. 또한, 제 2 평탄화층(160)은 제 1 발광 다이오드 소자(300a)가 수납된 제 1 오목부(130a)의 나머지 제 1 수납 공간과 제 2 발광 다이오드 소자(300b)가 수납된 제 2 오목부(130b)의 나머지 제 2 수납 공간을 매립함으로써 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 각각의 위치를 고정하는 역할을 한다.
- [0100] 상기 제 1 픽셀 전극(AE1)은 제 1 발광 다이오드 소자(300a)의 제 1 전극(E1)을 제 1 구동 트랜지스터(Tdr1)의 소스 전극(SE)에 연결하는 것으로, 제 1 애노드 전극으로 정의될 수 있다. 일 예에 따른 제 1 픽셀 전극(AE1)

은 제 1 발광 다이오드 소자(300a)의 제 1 전극(E1)과 제 1 구동 트랜지스터(Tdr1)에 증착되는 제 2 평탄화층(160) 상에 마련된다. 이러한 제 1 픽셀 전극(AE1)은 층간 절연층(105)과 제 1 평탄화층(110) 및 제 2 평탄화층(160)을 관통하여 마련된 제 1 회로 콘택홀(CCH1)을 통해서 제 1 구동 트랜지스터(Tdr1)의 소스 전극(SE)에 전기적으로 연결되고, 제 2 평탄화층(160)에 마련된 제 1 전극 콘택홀(ECH1)을 통해서 제 1 발광 다이오드 소자(300a)의 제 1 전극(E1)에 전기적으로 연결된다. 이에 따라, 제 1 발광 다이오드 소자(300a)의 제 1 전극(E1)은 제 1 픽셀 전극(AE1)을 통해서 제 1 구동 트랜지스터(Tdr1)의 소스 전극(SE)과 전기적으로 연결된다.

[0101] 상기 제 2 픽셀 전극(AE2)은 제 2 발광 다이오드 소자(300b)의 제 1 전극(E1)을 제 2 구동 트랜지스터(Tdrb)의 소스 전극(SE)에 연결하는 것으로, 제 2 애노드 전극으로 정의될 수 있다. 일 예에 따른 제 2 픽셀 전극(AE2)은 제 2 발광 다이오드 소자(300b)의 제 1 전극(E1)과 제 2 구동 트랜지스터(Tdr2)에 증착되는 제 2 평탄화층(160) 상에 마련된다. 이러한 제 2 픽셀 전극(AE2)은 층간 절연층(105)과 제 1 평탄화층(110) 및 제 2 평탄화층(160)을 관통하여 마련된 제 2 회로 콘택홀(CCH2)을 통해서 제 2 구동 트랜지스터(Tdr2)의 소스 전극(SE)에 전기적으로 연결되고, 제 2 평탄화층(160)에 마련된 제 2 전극 콘택홀(ECH2)을 통해서 제 2 발광 다이오드 소자(300b)의 제 1 전극(E1)에 전기적으로 연결된다. 이에 따라, 제 2 발광 다이오드 소자(300b)의 제 1 전극(E1)은 제 2 픽셀 전극(AE2)을 통해서 제 2 구동 트랜지스터(Tdr2)의 소스 전극(SE)과 전기적으로 연결된다.

[0102] 이와 같이, 제 1 및 제 2 픽셀 전극(AE1, AE2)은 발광 다이오드 디스플레이 장치가 전면 발광(top emission) 방식일 경우, 투명 도전 물질로 이루어지고, 발광 다이오드 디스플레이 장치가 후면 발광(bottom emission) 방식일 경우, 광 반사 도전 물질로 이루어질 수 있다. 여기서, 투명 도전 물질은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등이 될 수 있지만, 이에 한정되지 않는다. 광 반사 도전 물질은 Al, Ag, Au, Pt, 또는 Cu 등이 될 수 있지만, 이에 한정되지 않는다. 광 반사 도전 물질로 이루어진 제 1 및 제 2 픽셀 전극(AE1, AE2)은 광 반사 도전 물질을 포함하는 단일층 또는 상기 단일층이 적층된 다중층으로 이루어질 수 있다.

[0103] 상기 공통 전극(CE)은 제 1 발광 다이오드 소자(300a)의 제 2 전극(E2)과 공통 전원 라인(CL)을 전기적으로 연결하는 것으로, 캐소드 전극으로 정의될 수 있다. 공통 전극(CE)은 제 1 발광 다이오드 소자(300a)의 제 2 전극(E2) 및 제 2 발광 다이오드 소자(300b)의 제 2 전극(E2) 각각과 증착되면서 공통 전원 라인(CL)과 증착되는 제 2 평탄화층(160) 상에 마련된다. 여기서, 공통 전극(CE)은 픽셀 전극(AE)과 동일한 물질로 이루어질 수 있다.

[0104] 일 예에 따른 공통 전극(CE)의 일측은 공통 전원 라인(CL)과 증착되는 게이트 절연층(103)과 층간 절연층(105)과 제 1 평탄화층(110) 및 제 2 평탄화층(160)을 관통하여 마련된 라인 콘택홀(LCH; 도 2 참조)을 통해서 공통 전원 라인(CL)에 전기적으로 연결된다. 일 예에 따른 공통 전극(CE)의 타측은 제 1 발광 다이오드 소자(300a)의 제 2 전극(E2)과 증착되도록 제 2 평탄화층(160)에 마련된 제 3 전극 콘택홀(ECH3)을 통해서 제 1 발광 다이오드 소자(300a)의 제 2 전극(E2)에 전기적으로 연결되고, 제 2 발광 다이오드 소자(300b)의 제 2 전극(E2)과 증착되도록 제 2 평탄화층(160)에 마련된 제 4 전극 콘택홀(ECH4)을 통해서 제 2 발광 다이오드 소자(300b)의 제 2 전극(E2)에 전기적으로 연결된다. 이에 따라, 제 1 발광 다이오드 소자(300a)의 제 2 전극(E2)과 제 2 발광 다이오드 소자(300b)의 제 2 전극(E2) 각각은 공통 전극(CE)을 통해서 공통 전원 라인(CL)과 전기적으로 연결된다.

[0105] 상기 제 1 및 제 2 픽셀 전극(AE1, AE2) 및 상기 공통 전극(CE)은 제 1 및 제 2 회로 콘택홀(CCH1, CCH2), 라인 콘택홀, 및 제 1 내지 제 4 전극 콘택홀(ECH1 ~ ECH4)을 포함하는 제 2 평탄화층(160) 상에 전극 물질을 증착하는 증착 공정과 포토리소그래피 공정 및 식각 공정을 이용한 전극 패터닝 공정에 의해 동시에 마련될 수 있다. 이에 따라, 본 예는 발광 다이오드 소자(300a, 300b)를 픽셀 회로(PC)에 연결하는 픽셀 전극(AE1, AE2)과 공통 전극(CE)을 동시에 형성할 수 있으므로, 전극 연결 공정을 단순화할 수 있으며, 발광 다이오드 소자(300a, 300b)와 픽셀 회로(PC)를 연결하는 공정 시간을 크게 단축시키고, 이를 통해서 발광 다이오드 디스플레이 장치의 생산성을 향상시킬 수 있다.

[0106] 본 예에 따른 발광 다이오드 디스플레이 장치는 제 2 기판(500)을 더 포함한다.

[0107] 상기 제 2 기판(500)은 제 1 기판(100)의 패드부를 제외한 나머지 부분을 덮도록 배치됨으로써 제 1 기판(100) 상에 마련된 픽셀 어레이를 보호하는 것으로, 컬러필터 어레이 기판, 대향 기판 또는 봉지 기판으로 정의될 수 있다. 예를 들어, 일 예에 따른 제 2 기판(500)은 투명 유리 재질 또는 투명 플라스틱 재질로 이루어질 수 있지만, 이에 한정되지 않는다.

[0108] 일 예에 따른 제 2 기판(500)은 블랙 매트릭스(510)를 포함한다.

- [0109] 상기 블랙 매트릭스(510)는 제 1 기관(100)에 마련된 각 서브 픽셀(SP)의 개구 영역을 정의한다. 즉, 블랙 매트릭스(510)는 각 서브 픽셀(SP)의 발광 영역과 중첩되는 개구 영역을 제외한 나머지 영역과 중첩되는 제 2 기관(500)의 차광 영역에 마련됨으로써 인접한 개구 영역 사이의 혼색을 방지한다. 일 예에 따른 블랙 매트릭스(510)는 복수의 게이트 라인(GL)과 복수의 공통 전원 라인(CL) 및 각 서브 픽셀(SP)의 픽셀 회로(PC) 각각을 덮는 복수의 제 1 차광 패턴, 복수의 데이터 라인(DL)과 복수의 구동 전원 라인(PL) 각각을 덮는 복수의 제 2 차광 패턴, 및 제 2 기관(500)의 가장자리 부분을 덮는 제 3 차광 패턴을 포함할 수 있다. 여기서, 제 1 내지 제 3 차광 패턴은 동일한 층에 마련될 수 있고, 이로 인하여 블랙 매트릭스(510)는 메쉬 형태를 가질 수 있다.
- [0110] 추가적으로, 제 2 기관(500)은 블랙 매트릭스(510)에 의해 정의되는 개구 영역에 마련된 광추출층(530)을 더 포함할 수 있다. 상기 광추출층(530)은 투명 물질로 이루어져 각 서브 픽셀(SP)의 발광 영역으로부터 방출되는 광을 외부로 추출하는 역할을 한다. 이러한 광추출층(530)은 제 2 기관(500)에 마련된 블랙 매트릭스(510)와 개구 영역 간의 단차를 최소화하는 역할도 함께 한다.
- [0111] 한편, 각 서브 픽셀(SP)에 배치된 제 1 및 제 2 발광 다이오드 소자(300a, 300b)가 백색 광을 방출할 경우, 제 2 기관(500)은 상기 광추출층(530) 대신에 개구 영역에 마련된 컬러필터층(530)을 포함한다.
- [0112] 상기 컬러필터층(530)은 각 서브 픽셀(SP)에 정의된 색상에 대응되는 색상의 컬러필터를 포함한다. 이러한 컬러필터층(530)은 서브 픽셀(SP)에서 방출되는 방출되는 백색 광 중에서 해당 서브 픽셀에 정의된 색상의 파장을 갖는 광만을 투과시킨다.
- [0113] 본 예에 따른 발광 다이오드 디스플레이 장치는 제 1 기관(100)과 제 2 기관(200) 사이에 개재된 봉지층(encapsulation layer; 170)을 더 포함한다. 일 예에 따른 봉지층(170)은 OCA(optical clear adhesive) 또는 OCR(optical clear resin)이 될 수 있지만, 이에 한정되지 않는다.
- [0114] 본 예에 따른 발광 다이오드 디스플레이 장치는 각 서브 픽셀(SP)의 발광 영역 아래에 마련된 반사층(101)을 더 포함한다.
- [0115] 상기 반사층(101)은 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b)를 포함하는 발광 영역과 중첩되도록 오목부(130a, 130b)의 바닥면과 제 1 기관(100) 사이에 마련된다. 일 예에 따른 반사층(101)은 구동 트랜지스터(Tdr1, Tdr2)의 게이트 전극(GE)과 동일한 물질로 이루어져 게이트 전극(GE)과 동일한 층에 마련될 수 있다. 이러한 반사층(101)은 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 각각으로부터 입사되는 광을 제 2 기관(500) 쪽으로 반사시킨다. 이에 따라, 본 예에 따른 발광 다이오드 디스플레이 장치는 반사층(101)을 포함함에 따라 전면 발광(top emission) 구조를 갖는다.
- [0116] 선택적으로, 상기 반사층(101)은 구동 트랜지스터(Tdr1)의 구동 트랜지스터(Tdr1, Tdr2)의 소스/드레인 전극(SE/DE)과 동일한 물질로 이루어져 소스/드레인 전극(SE/DE)과 동일한 층에 마련될 수도 있다.
- [0117] 본 예에 따른 발광 다이오드 디스플레이 장치는 각 서브 픽셀(SP)의 발광 다이오드 소자(300a, 300b)는 접착 부재(150)에 의해 해당하는 오목부(130a, 130b)의 바닥면에 접착될 수 있다.
- [0118] 상기 접착 부재(150)는 각 서브 픽셀(SP)의 오목부(130a, 130b)와 발광 다이오드 소자(300a, 300b) 사이에 개재되어 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 각각을 해당하는 오목부(130a, 130b)의 바닥면에 접착시킴으로써 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 각각을 1차적으로 고정한다.
- [0119] 일 예에 따른 접착 부재(150)는 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 각각의 제 2 부분(RP), 즉 제 1 반도체층(310)의 이면에 부착(또는 코팅)되어 발광 다이오드 소자의 실장 공정시 각 서브 픽셀(SP)의 제 1 오목부(130a)의 바닥면과 제 2 오목부(130b)의 바닥면에 접착될 수 있다.
- [0120] 다른 예에 따른 접착 부재(150)는 각 서브 픽셀(SP)의 제 1 오목부(130a)의 바닥면과 제 2 오목부(130b)의 바닥면 각각에 도팅(dotting)되어 발광 다이오드 소자의 실장 공정시 가해지는 가압력에 의해 퍼짐으로써 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 각각의 제 2 부분(RP)에 접착될 수 있다. 이에 따라, 제 1 오목부(130a)에 실장된 제 1 발광 다이오드 소자(300a)는 접착 부재(305)에 의해 1차적으로 위치 고정될 수 있다. 따라서, 본 예에 따르면, 발광 다이오드 소자의 실장 공정은 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 각각을 해당하는 오목부(130a, 130b)의 바닥면에 단순 접착하는 방식으로 수행됨으로써 발광 다이오드 소자의 실장 공정 시간이 단축될 수 있다.
- [0121] 다른 예에 따른 접착 부재(150)는 제 1 평탄화층(110)의 상면(110a)과 제 1 오목부(130a)의 바닥면과 경사진 측

벽 및 제 2 오목부(130b)의 바닥면과 경사진 측벽 모두에 코팅된다. 즉, 접착 부재(150)는 제 1 평탄화층(110)의 전면(前面) 중 컨택홀들을 제외한 나머지 전체를 덮도록 마련된다. 다시 말하여, 접착 부재(150)는 제 1 평탄화층(110)과 제 2 평탄화층(160) 사이에 개재되고, 제 1 발광 다이오드 소자(300a)와 제 2 발광 다이오드 소자(300b) 각각과 제 1 평탄화층(110) 사이에 개재된다. 이러한 다른 예에 따른 접착 부재(150)는 오목부(130a, 130b)가 마련된 제 1 평탄화층(110)의 상면(110a) 전체에 일정한 두께로 코팅된 후, 컨택홀들이 마련된 제 1 평탄화층(110)의 상면(110a)에 코팅된 접착 부재(150)의 일부는 컨택홀들의 형성시 제거된다. 이에 따라, 본 예는 발광 다이오드 소자의 실장 공정 직전에, 접착 부재(150)를 제 1 평탄화층(110)의 상면(110a) 전체에 일정한 두께로 코팅함으로써 접착 부재(150)를 형성하는 공정 시간을 단축시킬 수 있다.

[0122] 본 예에서, 접착 부재(150)가 제 1 평탄화층(110)의 상면 전체에 마련되기 때문에 본 예의 제 2 평탄화층(160)은 접착 부재(305)를 덮도록 마련된다.

[0123] 일 예에 따른 발광 다이오드 소자의 실장 공정은 적색 서브 픽셀들(SP1) 각각에 적색의 제 1 및 제 2 발광 다이오드 소자를 실장하는 공정, 녹색 서브 픽셀들(SP2) 각각에 녹색의 제 1 및 제 2 발광 다이오드 소자를 실장하는 공정, 및 청색 서브 픽셀들(SP3) 각각에 청색의 제 1 및 제 2 발광 다이오드 소자를 실장하는 공정을 포함할 수 있으며, 백색 서브 픽셀들 각각에 백색의 제 1 및 제 2 발광 다이오드 소자를 실장하는 공정을 더 포함할 수 있다.

[0124] 일 예에 따른 발광 다이오드 소자의 실장 공정은 서브 픽셀들 각각에 백색의 제 1 및 제 2 발광 다이오드 소자를 실장하는 공정만을 포함할 수 있다. 이 경우, 제 1 기관(100) 또는 제 2 기관(500)은 각 서브 픽셀과 중첩되는 컬러필터층을 포함한다. 컬러필터층은 백색 광 중에서 해당 서브 픽셀과 대응되는 색상의 파장을 갖는 광만을 투과시킨다.

[0125] 일 예에 따른 발광 다이오드 소자의 실장 공정은 서브 픽셀들 각각에 제 1 색상의 제 1 및 제 2 발광 다이오드 소자를 실장하는 공정만을 포함할 수 있다. 이 경우, 제 1 기관(100) 또는 제 2 기관(500)은 파장 변환층, 및 각 서브 픽셀과 중첩되는 컬러필터층을 포함한다. 파장 변환층은 제 1 색상의 제 1 및 제 2 발광 다이오드 소자로부터 입사되는 광의 일부를 기반으로 제 2 색상의 광을 방출한다. 컬러필터층은 제 1 색상의 광과 제 2 색상의 광의 혼합에 따른 백색 광 중에서 해당 서브 픽셀과 대응되는 색상의 파장을 갖는 광만을 투과시킨다. 여기서, 제 1 색상은 청색이 될 수 있고, 제 2 색상은 황색이 될 수 있다.

[0126] 도 6은 도 2에 도시된 오목부의 변형 예를 설명하기 위한 도면이다.

[0127] 도 6을 참조하면, 변형 예에 따른 각 서브 픽셀(SP)에 마련되는 제 1 및 제 2 오목부(130, 130b) 각각은 서로 동일한 깊이를 가지되, 각 서브 픽셀(SP)마다 각기 다른 깊이(D1, D2, D3)를 가지도록 제 1 평탄화층(110)으로부터 오목하게 형성될 수 있다. 여기서, 제 1 및 제 2 오목부(130, 130b) 각각의 깊이(D1, D2, D3)는 제 1 평탄화층(110)의 상면(110a)과 제 1 및 제 2 오목부(130, 130b) 각각의 바닥면(110b) 사이의 거리로 정의될 수 있다.

[0128] 각 서브 픽셀(SP)에 마련되는 제 1 오목부(130a)는 하나의 단위 픽셀(UP)을 구성하는 인접한 적어도 3개의 서브 픽셀들(SP1, SP2, SP3) 각각마다 각기 다른 깊이(D1, D2, D3)로 마련될 수 있다. 즉, 제 1 오목부(130a)는 해당 서브 픽셀에 배치될 발광 다이오드 소자의 높이를 기반으로, 제 1 평탄화층(110)으로부터 각기 다른 깊이(D1, D2, D3)로 마련됨으로써 색상별 발광 다이오드 소자 간의 높이 편차(또는 단차)를 제거하거나 최소화한다. 각 서브 픽셀(SP)에 마련되는 제 2 오목부(130b)는 제 1 오목부(130a)와 동일한 형태와 깊이로 형성된다.

[0129] 본 예에 따른 발광 다이오드 디스플레이 장치는 컬러 영상을 구현하기 위하여, 적색 서브 픽셀(SP1), 녹색 서브 픽셀(SP2), 및 청색 서브 픽셀(SP3)을 포함하며, 발광 다이오드 소자는 색상별로 구분되어 해당하는 색상의 서브 픽셀에 마련된 제 1 및 제 2 오목부(130a, 130b)에 배치된다. 이때, 색상별 발광 다이오드 소자는 제조 공정의 공정 오차 등에 의해 각기 다른 높이(또는 두께)를 가질 수 있다. 예를 들어, 색상별 발광 다이오드 소자의 두께는 적색, 녹색, 및 청색의 순서로 두꺼울 수 있다. 이 경우, 제 1 및 제 2 오목부(130a, 130b)의 깊이(D1, D2, D3)는 해당 발광 다이오드 소자의 높이를 기반으로 적색 서브 픽셀(SP1), 녹색 서브 픽셀(SP2), 및 청색 서브 픽셀(SP3)의 순서로 깊게 마련될 수 있다.

[0130] 따라서, 본 예는 서브 픽셀에 배치될 발광 다이오드 소자의 높이(또는 두께)를 기반으로 각 서브 픽셀에 마련되는 제 1 및 제 2 오목부(130a, 130b)의 깊이를 각기 다른 깊이로 설정함으로써 각 서브 픽셀에 배치된 발광 다이오드 소자들(300a, 300b)의 최상부면, 예를 들어 제 1 전극(E1)의 상면을 동일한 수평 선상(HL)에 위치시킬 수 있고, 이를 통해서 상기 제 1 및 제 2 전극 컨택홀의 패터닝 공정에서 색상별 발광 다이오드 소자의 두께 편

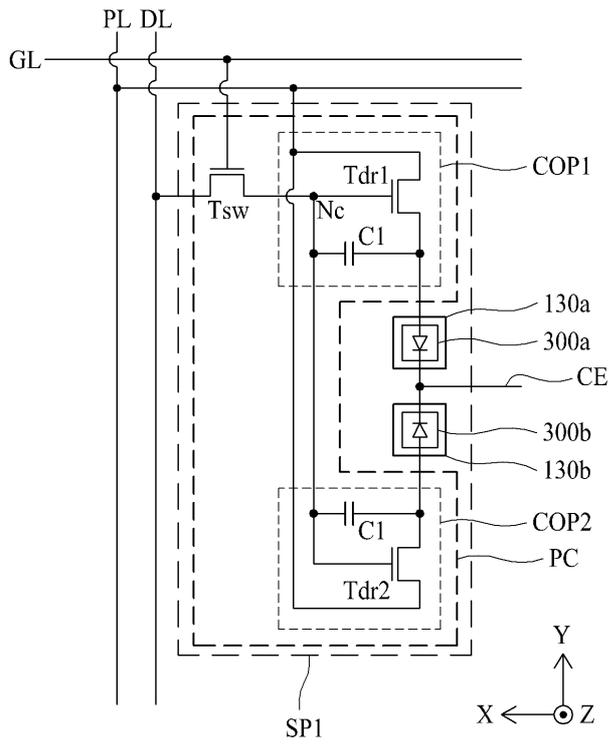
차로 인하여 발광 다이오드 소자의 제 1 전극(또는 제 2 전극)이 노출되지 않는 오픈 불량을 방지할 수 있다. 또한, 본 예는 전면 발광(top emission) 구조에서, 각 서브 픽셀에 각기 다른 깊이(D1, D2, D3)로 마련되는 오목부(130a, 130b)를 통해서 각 서브 픽셀의 발광 다이오드 소자와 반사층(101) 간의 광학 거리를 최적화함으로써 반사층(101)의 반사 효율을 개선할 수 있으며, 이를 통해서 발광 다이오드 소자의 광효율을 광 효율을 극대화할 수 있다.

- [0131] 도 7은 도 2에 도시된 일 예에 따른 서브 픽셀을 설명하기 위한 도면으로서, 이는 픽셀 회로의 구성을 변경한 것이다. 이에 따라, 이하에서는 픽셀 회로 및 이와 관련된 구성에 대해서만 설명하기로 하고, 나머지 구성들에 대한 중복 설명은 생략하기로 한다.
- [0132] 도 7을 도 1과 결부하면, 본 예에 따른 각 서브 픽셀의 픽셀 회로(PC)는 스위칭 트랜지스터(Tsw), 스토리지 커패시터(Cst), 제 1 전류 출력부(COP1), 제 2 전류 출력부(COP2), 및 전압 초기화부(VIP)를 포함한다.
- [0133] 상기 스위칭 트랜지스터(Tsw)는 제 1 게이트 라인(GL1)에 연결된 게이트 전극, 데이터 라인(DL)에 연결된 드레인 전극, 및 제 1 노드(N1)에 연결된 소스 전극을 포함한다. 여기서, 스위칭 트랜지스터(Tsw)의 소스 전극과 드레인 전극은 전류의 방향에 따라 서로 바뀔 수도 있다. 이러한 스위칭 트랜지스터(Tsw)는 샘플링 기간 동안 제 1 게이트 라인(GL1)으로부터 공급되는 제 1 게이트 신호에 따라 스위칭되어 데이터 라인(DL)으로부터 공급되는 데이터 신호를 제 1 노드(N1)에 공급한다.
- [0134] 상기 스토리지 커패시터(Cst)는 제 1 노드(N1)에 연결된 제 1 단자와 제 2 노드(또는 공통 노드)(N2)에 연결된 제 2 단자를 포함한다. 즉, 스토리지 커패시터(Cst)는 스위칭 트랜지스터(Tsw)의 소스 전극으로 이어지는 제 1 노드(N1)와 제 1 구동 트랜지스터(Tdr1)의 게이트 전극으로 이어지는 제 2 노드(N2) 사이의 중첩 영역에 일정한 정전 용량을 가지도록 마련된다. 이러한 스토리지 커패시터(Cst)는 제 1 노드(N1)와 제 2 노드(N2)의 차전압을 저장하고, 저장된 전압을 제 1 전류 출력부(COP1)와 제 2 전류 출력부(COP2)에 공통적으로 공급한다. 보다 구체적으로, 스토리지 커패시터(Cst)는 스위칭 트랜지스터(Tsw)로부터 데이터 신호에 대응되는 전압을 저장하고, 저장된 전압을 제 1 전류 출력부(COP1)와 제 2 전류 출력부(COP2)에 공통적으로 공급한다.
- [0135] 상기 제 1 전류 출력부(COP1)는 스토리지 커패시터(Cst)로부터 제 2 노드(N2)에 공급되는 데이터 신호에 대응되는 전압에 의해 턴-온되어 데이터 전류를 제 1 발광 다이오드 소자(300a)에 공급한다. 일 예에 따른 제 1 전류 출력부(COP1)는 제 1 구동 트랜지스터(Tdr1)를 포함한다.
- [0136] 상기 제 1 구동 트랜지스터(Tdr1)는 제 2 노드(N2)에 연결된 게이트 전극, 구동 전원 라인(PL)에 연결된 드레인 전극, 및 제 1 발광 다이오드 소자(300a)의 애노드 단자에 연결되는 소스 전극을 포함한다. 이러한 제 1 구동 트랜지스터(Tdr1)는 제 2 노드(N2)의 전압에 의해 턴-온됨으로써 구동 전원 라인(PL)으로부터 제 1 발광 다이오드 소자(300a)로 흐르는 전류량을 제어한다.
- [0137] 일 예에 따른 제 1 전류 출력부(COP1)는 제 1 구동 트랜지스터(Tdr1)와 제 1 발광 다이오드 소자(300a) 사이에 연결된 제 1 발광 제어 트랜지스터(Tem1)를 더 포함한다.
- [0138] 상기 제 1 발광 제어 트랜지스터(Tem1)는 발광 제어 라인(ECL)에 연결된 게이트 전극, 제 1 구동 트랜지스터(Tdr1)의 소스 전극에 연결된 드레인 전극, 및 제 1 발광 다이오드 소자(300a)의 애노드 단자에 연결되는 소스 전극을 포함한다. 이러한 제 1 발광 제어 트랜지스터(Tem1)는 제 1 구동 트랜지스터(Tdr1)의 소스 전극을 프리-초기화시키는 프리-초기화 기간 동안 발광 제어 라인(ECL)으로부터 공급되는 발광 제어 신호에 턴-온되어 제 1 구동 트랜지스터(Tdr1)의 소스 전극을 레퍼런스 전압(Vref)으로 프리-초기화시키는 경로를 제공한다. 또한, 제 1 발광 제어 트랜지스터(Tem1)는 발광 기간에 발광 제어 라인(ECL)으로부터 공급되는 발광 제어 신호에 턴-온되어 제 1 구동 트랜지스터(Tdr1)로부터 출력되는 데이터 전류를 제 1 발광 다이오드 소자(300a)에 공급한다.
- [0139] 상기 제 1 발광 제어 트랜지스터(Tem1)의 소스 전극은, 도 4에 도시된 바와 같이, 제 1 픽셀 전극(AE1)을 통해서 제 1 오목부(130a)에 배치된 제 1 발광 다이오드 소자(300a)의 제 1 전극(E1)과 연결된다.
- [0140] 상기 제 2 전류 출력부(COP2)는 스토리지 커패시터(Cst)로부터 제 2 노드(N2)에 공급되는 데이터 신호에 대응되는 전압에 의해 턴-온되어 데이터 전류를 제 2 발광 다이오드 소자(300b)에 공급한다. 일 예에 따른 제 2 전류 출력부(COP2)는 제 2 구동 트랜지스터(Tdr2)를 포함한다.
- [0141] 상기 제 2 구동 트랜지스터(Tdr2)는 제 2 노드(N2)에 연결된 게이트 전극, 구동 전원 라인(PL)에 연결된 드레인 전극, 및 제 2 발광 다이오드 소자(300b)의 제 1 전극에 연결되는 소스 전극을 포함한다. 이러한 제 2 구동 트랜지스터(Tdr2)는 제 2 노드(N2)의 전압에 의해 턴-온됨으로써 구동 전원 라인(PL)으로부터 제 2 발광 다이오드

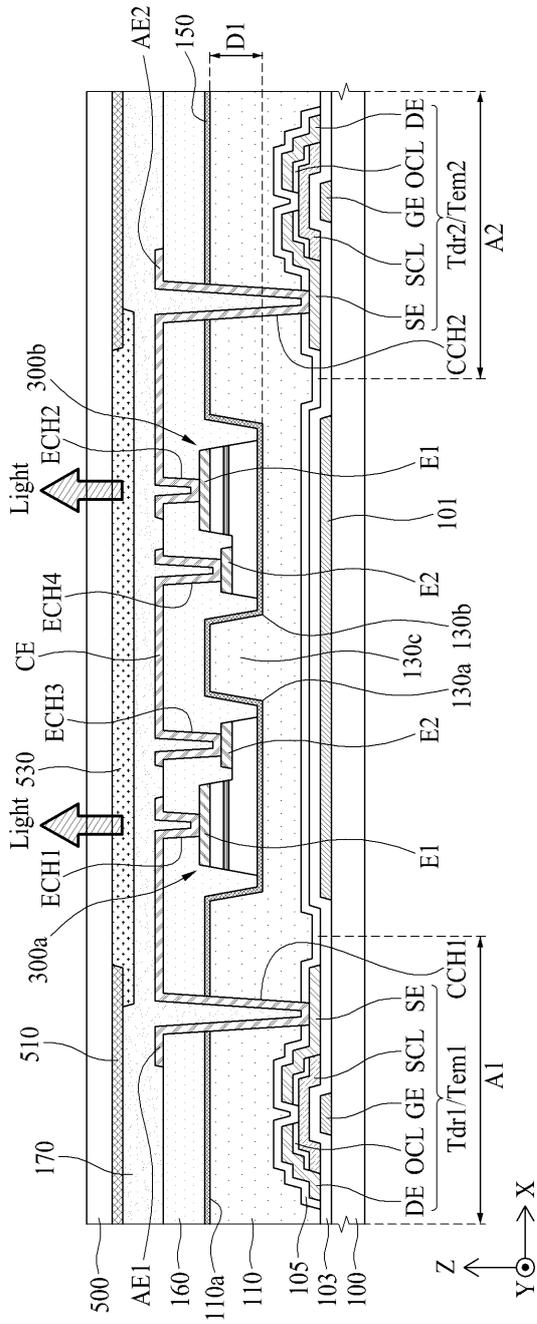
소자(300b)로 흐르는 전류량을 제어한다.

- [0142] 상기 제 2 구동 트랜지스터(Tdr2)는 제 1 구동 트랜지스터(Tdr1)와 함께 형성되는 것으로, 제 1 구동 트랜지스터(Tdr1)와 동일한 크기를 갖는다.
- [0143] 일 예에 따른 제 2 전류 출력부(COP2)는 제 2 구동 트랜지스터(Tdr2)와 제 2 발광 다이오드 사이(300b) 사이에 연결된 제 2 발광 제어 트랜지스터(Tem2)를 더 포함한다.
- [0144] 상기 제 2 발광 제어 트랜지스터(Tem2)는 발광 제어 라인(ECL)에 연결된 게이트 전극, 제 2 구동 트랜지스터(Tdr2)의 소스 전극에 연결된 드레인 전극, 및 제 2 발광 다이오드 소자(300b)의 애노드 단자에 연결되는 소스 전극을 포함한다. 이러한 제 2 발광 제어 트랜지스터(Tem2)는 발광 기간에 발광 제어 라인(ECL)으로부터 공급되는 발광 제어 신호에 턴-온되어 제 2 구동 트랜지스터(Tdr2)로부터 출력되는 데이터 전류를 제 2 발광 다이오드 소자(300b)에 공급한다.
- [0145] 상기 제 2 발광 제어 트랜지스터(Tem2)의 소스 전극은, 도 4에 도시된 바와 같이, 제 2 픽셀 전극(AE2)을 통해서 제 2 오목부(130b)에 배치된 제 2 발광 다이오드 소자(300b)의 제 1 전극(E1)과 연결된다.
- [0146] 이와 같은, 픽셀 회로(PC)에서, 제 1 전류 출력부(COP1)와 제 2 전류 출력부(COP2) 중 어느 하나는 픽셀(SP1, SP2, SP3)에 실장되는 발광 다이오드 소자(300a, 300b)의 동작 불량일 경우를 대비하여 각 픽셀(SP1, SP2, SP3)에 미리 마련되는 리던던시 픽셀 회로일 수 있다.
- [0147] 상기 전압 초기화부(VIP)는 프리-초기화 기간 동안 제 1 구동 트랜지스터(Tdr1)의 소스 전극을 레퍼런스 전압(Vref)으로 프리-초기화하고, 초기화 기간 동안 스토리지 커패시터(Cst)에 저장된 전압을 레퍼런스 전압(Vref)으로 초기화한다. 일 예에 따른 전압 초기화부(VIP)는 제 1 트랜지스터(T1), 제 2 트랜지스터(T2), 및 제 3 트랜지스터(T3)를 포함한다.
- [0148] 상기 제 1 트랜지스터(T1)는 제 2 게이트 라인(GL2)에 연결된 게이트 전극, 제 2 노드(N2)에 연결된 드레인 전극, 및 제 1 구동 트랜지스터(Tdr1)의 소스 전극에 연결된 소스 전극을 포함한다. 이러한 제 1 트랜지스터(T1)는 초기화 기간 및 샘플링 기간 동안 제 2 게이트 라인(GL2)으로부터 공급되는 제 2 게이트 신호에 의해 턴-온되어 제 1 구동 트랜지스터(Tdr1)의 게이트 전극을 소스 전극에 연결한다.
- [0149] 상기 제 2 트랜지스터(T2)는 발광 제어 라인(ECL)에 연결된 게이트 전극, 레퍼런스 전원 라인(RL)에 연결된 드레인 전극, 및 제 1 노드(N1)에 연결된 소스 전극을 포함한다. 이러한 제 2 트랜지스터(T2)는 프리-초기화 기간과 초기화 기간 동안 발광 제어 라인(ECL)으로부터 공급되는 발광 제어 신호에 턴-온되어 레퍼런스 전원 라인(RL)으로부터 공급되는 레퍼런스 전압을 제 1 노드(N1)에 공급한다.
- [0150] 상기 제 3 트랜지스터(T3)는 제 2 게이트 라인(GL2)에 연결된 게이트 전극, 레퍼런스 전원 라인(RL)에 연결된 드레인 전극, 및 제 1 발광 제어 트랜지스터(Tem1)의 소스 전극로 이어지는 제 3 노드(N3)에 연결된 소스 전극을 포함한다. 이러한 제 3 트랜지스터(T3)는 초기화 기간 및 샘플링 기간 동안 제 2 게이트 라인(GL2)으로부터 공급되는 제 2 게이트 신호에 의해 턴-온되어 레퍼런스 전원 라인(RL)으로부터 공급되는 레퍼런스 전압을 제 3 노드(N3)에 공급한다.
- [0151] 한편, 전술한 본 출원의 일 예에서, 각 서브 픽셀의 픽셀 회로(PC)는 도 3 또는 도 7에 의해 한정되지 않고, 스위칭 트랜지스터와 전류 출력부 이외에 구동 트랜지스터의 문턱전압을 보상하기 위한 적어도 하나의 보조 트랜지스터 및 적어도 하나의 보조 커패시터를 더 포함할 수 있다.
- [0152] 추가적으로, 전술한 본 출원의 일 예에서는 각 서브 픽셀이 2개의 발광 다이오드 소자를 가지는 것으로 설명하였지만, 이에 한정되지 않고, 각 서브 픽셀은 제 1 내지 제 N(N은 2 이상의 자연수) 발광 다이오드 소자, 및 제 1 내지 제 N 발광 다이오드 소자 각각에 데이터 전류를 개별적으로 공급하는 제 1 내지 제 N 구동 트랜지스터를 갖는 픽셀 회로를 포함할 수 있다. 이 경우, 각 서브 픽셀은 제 1 내지 제 N 발광 다이오드 소자 각각을 하나의 수납 공간에 공통적으로 수납하거나 개별적으로 수납하는 1개 또는 N개의 오목부를 포함할 수 있다.
- [0153] 이상에서 설명한 본 출원은 전술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 출원의 기술적 사항을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 출원이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다. 그러므로, 본 출원의 범위는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 출원의 범위에 포함되는 것으로 해석되어야 한다.

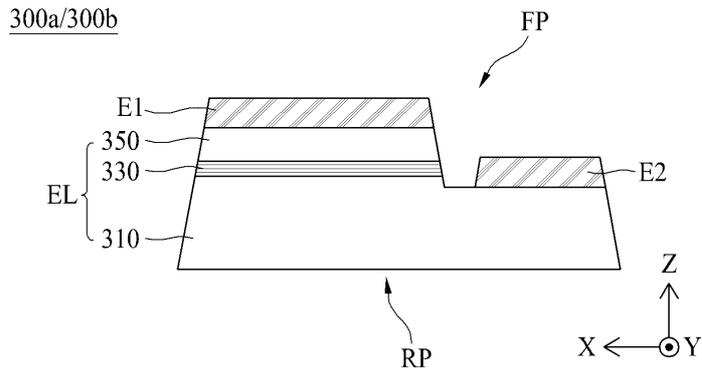
도면3



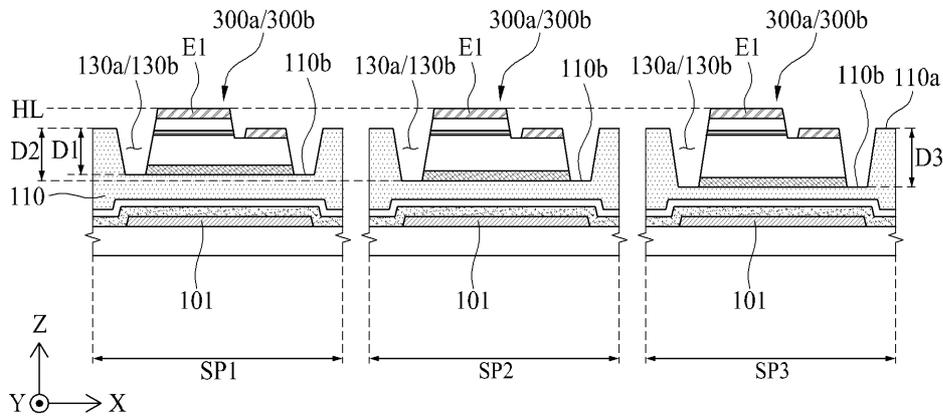
도면4



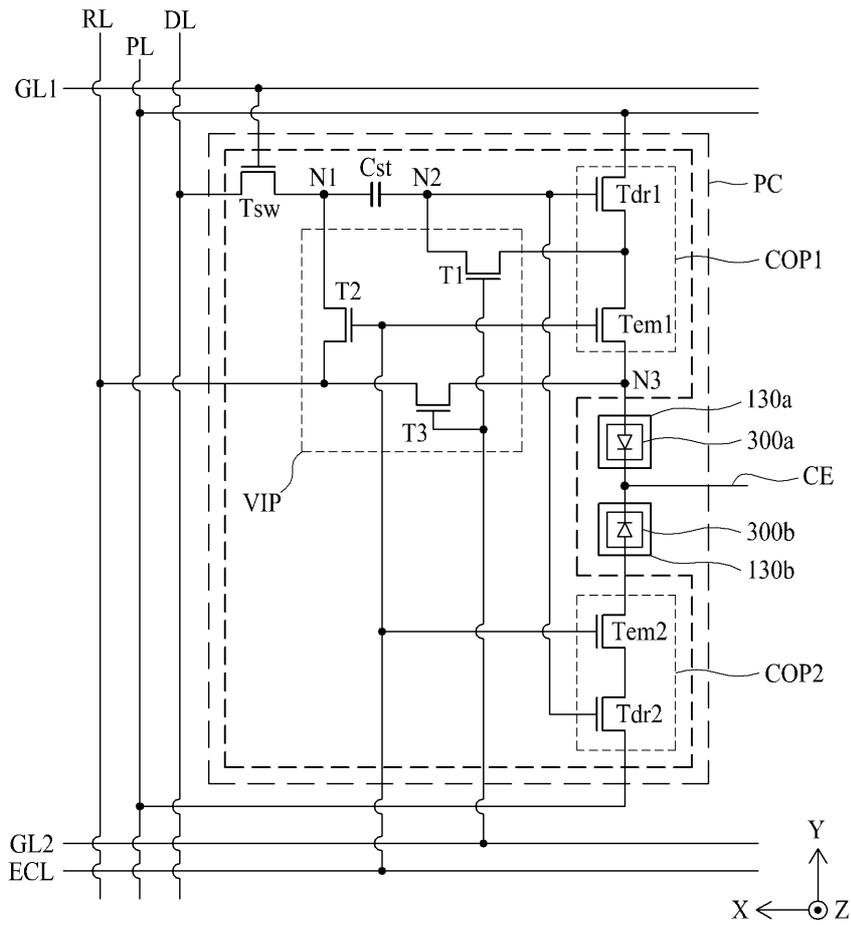
도면5



도면6



도면7



专利名称(译)	发光二极管显示装置		
公开(公告)号	KR1020180071062A	公开(公告)日	2018-06-27
申请号	KR1020160173807	申请日	2016-12-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JINYEONG KIM 김진영 HYEONHO SON 손현호 HANSAEM KANG 강한샘		
发明人	김진영 손현호 강한샘		
IPC分类号	G09G3/32 H01L27/15		
CPC分类号	G09G3/32 H01L27/156 G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/0251 G09G2310/0262 G09G2330/08 G09G2330/10 G09G3/3241 G09G2300/0426 G09G2300/0814 G09G2300/0842 H01L33/06 H01L33/32 H01L33/42 H01L33/60		
外部链接	Espacenet		

摘要(译)

本发明提供一种发光二极管显示装置，其中由于发光二极管装置的故障导致的屏幕故障被最小化。发光二极管显示装置包括第一至第N (N是2或更多的自然数) 发光二极管以及具有第一至第N驱动晶体管的像素电路，用于分别向第一至第N发光二极管元件提供与器件和数据信号对应的数据电流。

